- **날　　짜** : 2016년 3월 28일
- **제　　목** : USB Hub 회로도 검토시 확인해야 할 사항들
- **문서번호** : KR-ES-00334
- **작 성 자** : 신 우진(charlie.shin@microchip.com , FAE)

< Engineering Issue 내용 >

1. **Device : USB3.0/2.0 Hub**
2. 내용

소개

이 문서의 목적은 마이크로칩의 USB 제품의 시스템을 설계 할 때 고려해야 할 항목의 목록을 제공하고 다음과 같은 범주를 포함합니다.

- USB 2.0 허브
- USB 3.1 세대 1 허브
- 플래시 미디어 컨트롤러
- 플래시 미디어 컨트롤러 허브 콤보
- USB 트랜시버

이 문서의 대상은 산업 표준을 잘 알고있는 시스템 엔지니어 및 레이아웃 전문가입니다 이 문서는 디바이스의 데이터 시트, 레퍼런스 디자인 및 관련 애플리케이션 노트, 기타와 함께 사용해야 합니다

개요

이 문서는 다음 장을 포함한다 :

- 도식 가이드 라인
- 레이아웃 가이드 라인

각 장에서는 모든 제품에 대한 일반적인 디자인 고려 사항에 대한 하위 섹션으로 시작한다. 이후 하위 섹션 특정 제품 범주 및 응용 프로그램에 대한 상세 설계 고려 사항. 이 리스트의 순서는 임의적이다.

참조

- 응용시 주의 사항 :
  - AN18.16, USB223x/i 용 PCB 설계 지침 USB225x /i 컨트롤러
  - AN26.2 마이크로 칩의 USB 2.0 및 USB 3.1 세대 1 허브 장치 용 26.2, 구현 가이드 라인
  - AN18.15, QFN 및 DQFN 패키지의 PCB 설계 지침
  - AN19.17, ULPI 설계 가이드
  - WP 2.10, WLCSP의 BGA 패키지의 PCB 디자인
- 각 제품의 데이터 시트(들)
- usb.org에서 해당 USB 사양 및 사용할 수 있는 ECNs을 제공함

1.0 SCHEMATIC 가이드라인

1.1 일반 고려 사항

☐ A. 제품 데이터 시트.상에서 USB 회로도의 핀이 in/Out인지 확인

☐ B. 외부로 노출된 USB 커넥터와 디자인에 대해 RC와 디지털 접지에 USB 케이블 쉴드를 연결

FIGURE 1-1: SHIELD TO DIGITAL GROUND CONNECTION

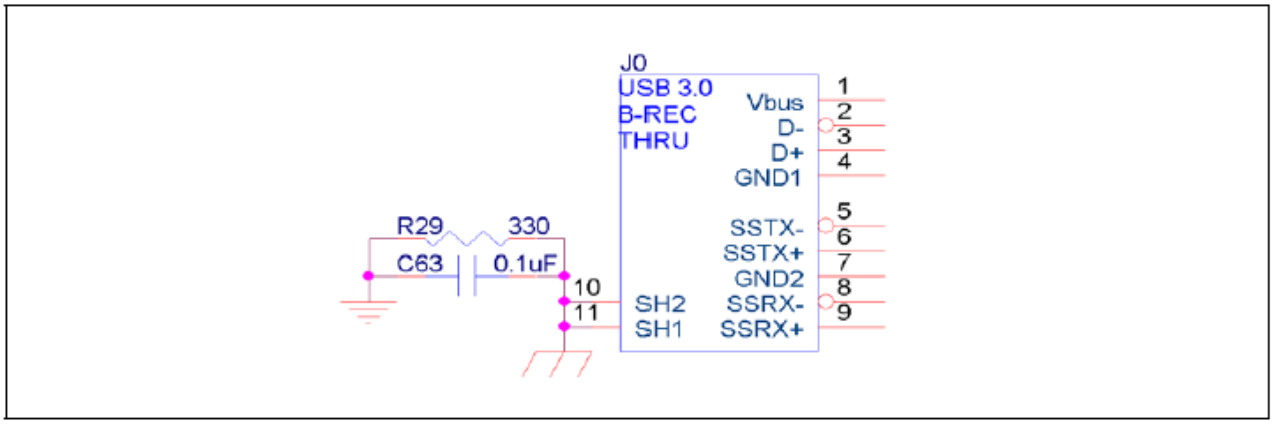


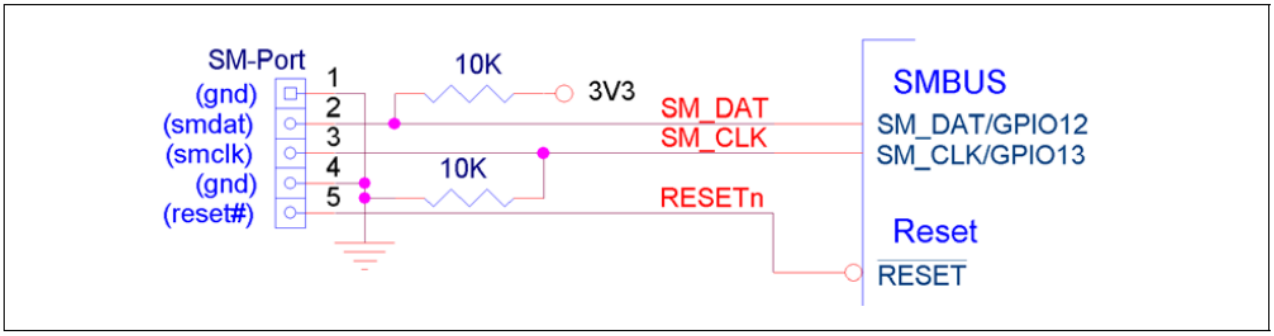
그림 1-1 : 디지털 접지 연결 TO SHIELD

☐ C. 모든 전력 소비의 범위에 걸쳐 VDD12 또는 VDD33, 같은 전원 레일이 정확하고 전원노이즈가 없이 안정적인지 확인,. 마이크로 칩 AN26.2 애플리케이션 노트와 제품 데이터 시트를 참조

☐ D. RESETN는 VDD12 또는 VDD33 중 하나가 Threshold 아래에 있을 때 RESET IC 또는 감시회로에 의해 Assert 되어야 한다. 방법은 manual (Reset IC) 또는 host Controller의 GPIO Pin
자세한 사항은 마이크로 칩 AN26.2 애플리케이션 노트를 참조하십시오

☐ E. SMBus를 통해 시스템 OTP 프로그램을 사용하려면, SM_DAT, SM_CLK Pin들은 각각 External 저항 1KOhm~4.7KOhm으로 Pull-up되어야 하고 사용하지 않을 경우 SM_DAT는 External 저항 (10KOhm~20KOhm) 으로 Pull-up, SM_CLK는 External 저항 (10KOhm~20KOhm) 을 통해 Pull-down 합니다

FIGURE 6: EXAMPLE PROVISION FOR IN-SYSTEM PROGRAMMING



☐ F. 크리스탈로드 커패시터가 제대로 작동 올바르게 선택되어 있는지 확인합니다.

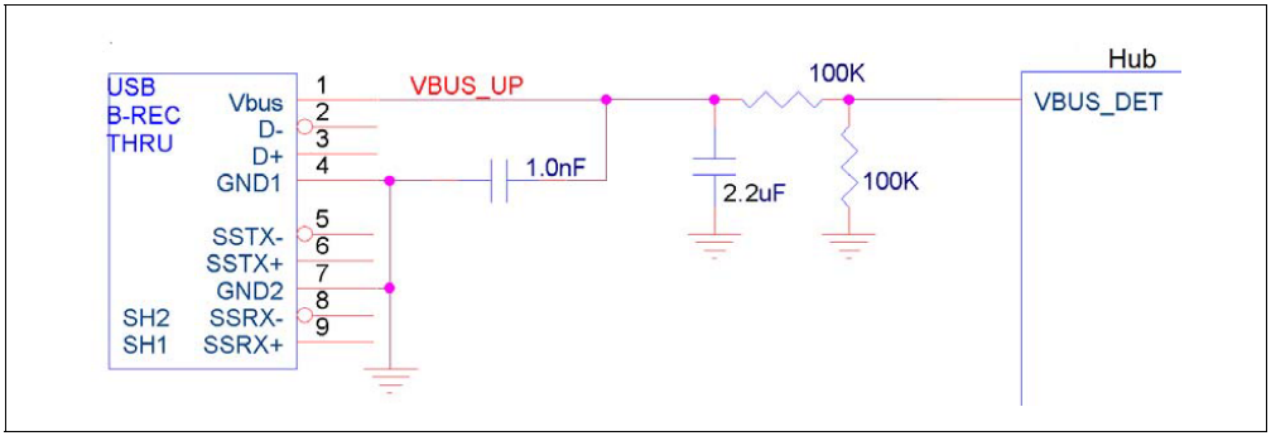
☐ G. 마이크로 칩 제품중 레귤레이터가 내부에 있을경우 내부 레귤레이터 핀에 커패시터가 정확히 연결되어 있는지 각 해당 제품 데이터 시트를 참조해야 합니다

☐ H. 마이크로 칩 제품의 내부 레귤레이터는 적절한 입력 전압이 있어야합니다. 외부 전압은 이러한 내부 레귤레이터의 출력에 연결되지 말아야 합니다. 해당 제품 데이터 시트를 참조.

☐ I. USB-IF 디커플링 용량 요구 사항을 준수하기 위해 Upstream Vbus에 2.2uF (콘덴서의 허용 오차에 대한 마진을 가지고 있는)의 커패시터를 배치.. 자세한 내용은 USB 2.0 사양을 참조하십시오.

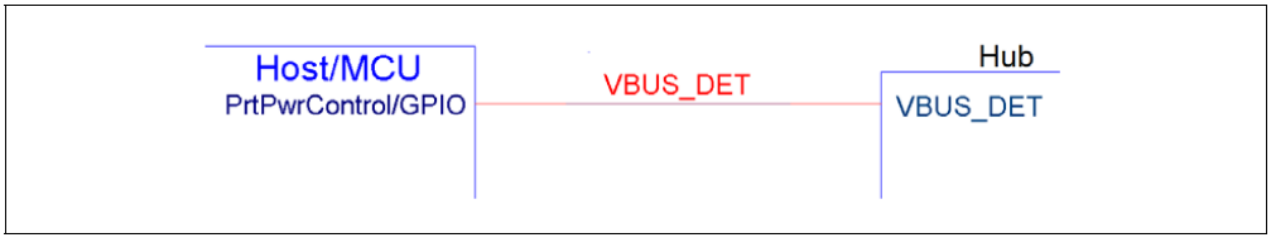
☐ J. VBUS_DET는 stand-alone 디자인 시 저항 분배기를 통해 Upstream VBUS에 연결해야 합니다. 임베디드 디자인일 경우 3.3V 신호에 이 핀을 연결 해야 합니다.

FIGURE 4: STAND-ALONE VBUS_DET CONNECTION



Embedded applications should actively control this pin with a 3.3 V signal.

FIGURE 5: EMBEDDED VBUS_DET CONNECTION



VBUS_DET may also be tied directly to 3.3 V for certain always-on applications. However, this is not usually recommended.

☐ K. RBIAS 저항은 해당 제품 마다 정확한 값을 확인하고, 최악의 경우, 1 %의 오차가 있어야합니다. 해당 데이터 시트에서 자세한 값을 확인해야 합니다

☐ L. 어떠한 NET로도 연결되어 있지않은 핀들에 대해 반드시 확인 해야 합니다

☐ M. Hub제품에 있어 스트랩 옵션 핀들이 적절하게 pul-up/down 구성되어 있거나 SMBus / I2C를 통해 연결되어 있는지 확인해야 합니다 자세한 내용은 해당 제품 데이터 시트를 참조

☐ N. SPI 또는 EEPROM 디바이스가 마이크로 칩 제품과 호환되는지 확인합니다.

.

1.1.1 USB2.0 신호라인 (D+/D-)

☐ A. 필요하지 않는 common mode chokes를 사용하지 마십시오. Chokes의 differential Impedance가 90Ohm 이어야 합니다

1.1.2 USB 3.1 GEN 1 SIGNALS

☐ A. 필요하지 않는 common mode chokes를 사용하지 마십시오. Chokes의 differential Impedance가 90Ohm 이어야 합니다

☐ B. 적용가능 여부가 검증되지 않은 ESD Protection IC들을 Superspeed Tx+/-, Rx+/- Differential Pair 에 설치하지 마십시오.

1.2 USB 허브

☐ A. 외부로 노출된 USB Downstream port상에 Individual port power기능을 사용해야할 경우, PRT_PWR / PRT_CTL 핀들은 오픈 드레인 Overcurrent Signal 과 함께 USB Port Power Switch IC에연결되어야 합니다

☐ B. Downstrem 임베디드 디바이스의 경우, 해당 PRT_PWR 또는 PRT_CTL 핀이 downstream device 의 input에 strap option을 통해 연결되어야 합니다. 이는 해당 Port의 enumeration control을 위함입니다.

☐ C. 모든 exposed 된 USB downstream port의 VBUS 단에 USB-IF Capacitor tolerances margin 요구사항을 만족하는 150uF Cap을 배치해야 합니다

1.3 플래시 미디어 신호

☐ A. 시스템 요구 사항을 충족하기 위해 적절한 값으로 CRD_PWR 핀에 커패시터를 배치해야 합니다.

☐ B. 플래시 미디어 카드 커넥터의 카드를 감지하고 쓰기 방지 스위치 로직이 각각 컨트롤러로의 입력과 호환되는지 확인해야 합니다. 자세한 내용은 제품 데이터 시트를 참조한다.

☐ C. 만약 플래시 미디어 카드 커넥터의 카드 감지 또는 보호 쓰기 스위치가 Shield에 연결되었다면, 실드가 적절하게 접지에 연결되어 있는지 확인합니다.

2.0 레이아웃 가이드 라인

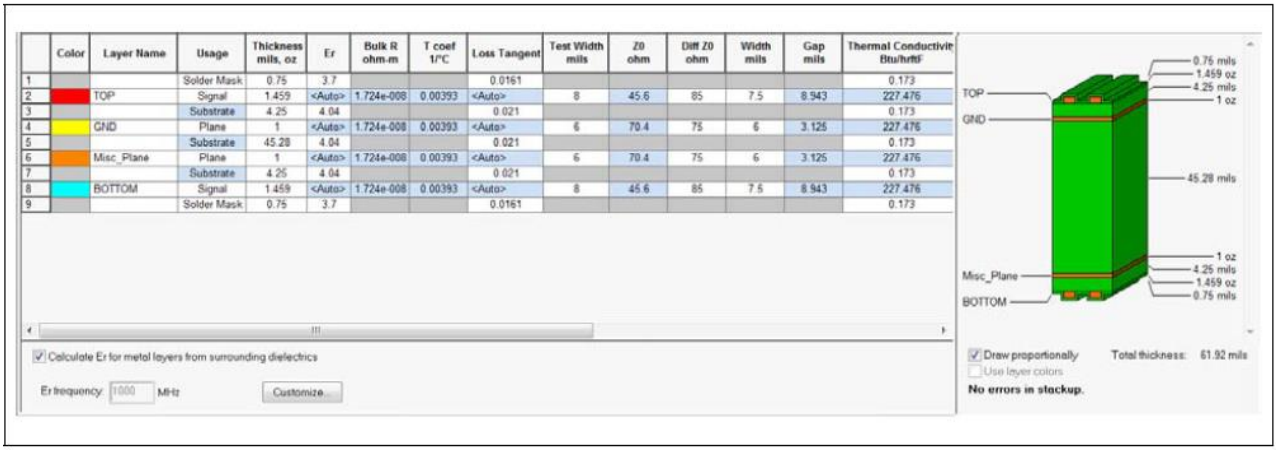
2.1 일반 고려 사항

☐ A. RBIAS, bypass capacitors 그리고 crystal 소자들을 해당하는 각 핀에 최대한 가깝게 배치하세요 자세한 내용은 마이크로 칩 AN26.2 애플리케이션 노트 참조

☐ B 스위칭 Regulator를 포함하여 전기적으로 노이즈를 가지고 있는 소자들은 hub 회로 부분, RBIAS 그리고 USB Differential Pair로부터 최대한 멀리 배치 바랍니다. 자세한 내용은 마이크로 칩 AN26.2 애플리케이션 노트를 참조하십시오.

☐ C. PCB 신호층과 평면 층 사이에 얇은 유전체 (4.25oz)를 사용합니다.

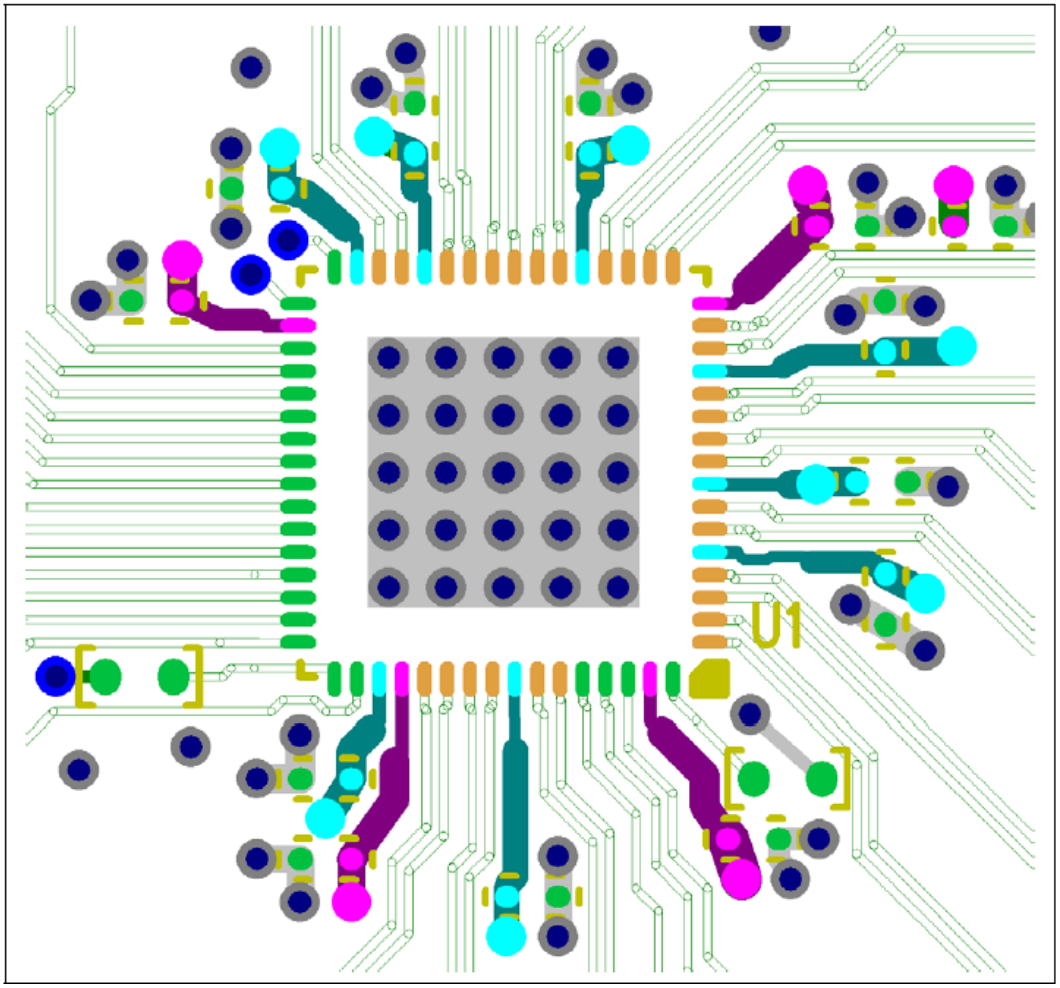
FIGURE 8: EXAMPLE 4-LAYER PCB STACK-UP



	Color	Layer Name	Usage	Thickness mils, oz	Er	Bulk R ohm-m	T coef 1/°C	Loss Tangent	Test Width mils	Z0 ohm	Diff Z0 ohm	Width mils	Gap mils	Thermal Conductivit Btu/hrftF
1			Solder Mask	0.75	3.7			0.0161						0.173
2		TOP	Signal	1.459	<Auto>	1.724e-008	0.00393	<Auto>	8	45.6	85	7.5	8.943	227.476
3			Substrate	4.25	4.04			0.021						0.173
4		GND	Plane	1	<Auto>	1.724e-008	0.00393	<Auto>	6	70.4	75	6	3.125	227.476
5			Substrate	45.28	4.04			0.021						0.173
6		Misc_Plane	Plane	1	<Auto>	1.724e-008	0.00393	<Auto>	6	70.4	75	6	3.125	227.476
7			Substrate	4.25	4.04			0.021						0.173
8		BOTTOM	Signal	1.459	<Auto>	1.724e-008	0.00393	<Auto>	8	45.6	85	7.5	8.943	227.476
9			Solder Mask	0.75	3.7			0.0161						0.173

☐ D. Bypass capacitors 와 해당 연결 Pin들 사이 와 Power 와 GND 사이는 낮은 인덕턴스이어야 합니다 (짧고 넓은 Traces). 자세한 내용은 마이크로 칩 AN26.2 애플리케이션 노트를 참조하십시오.

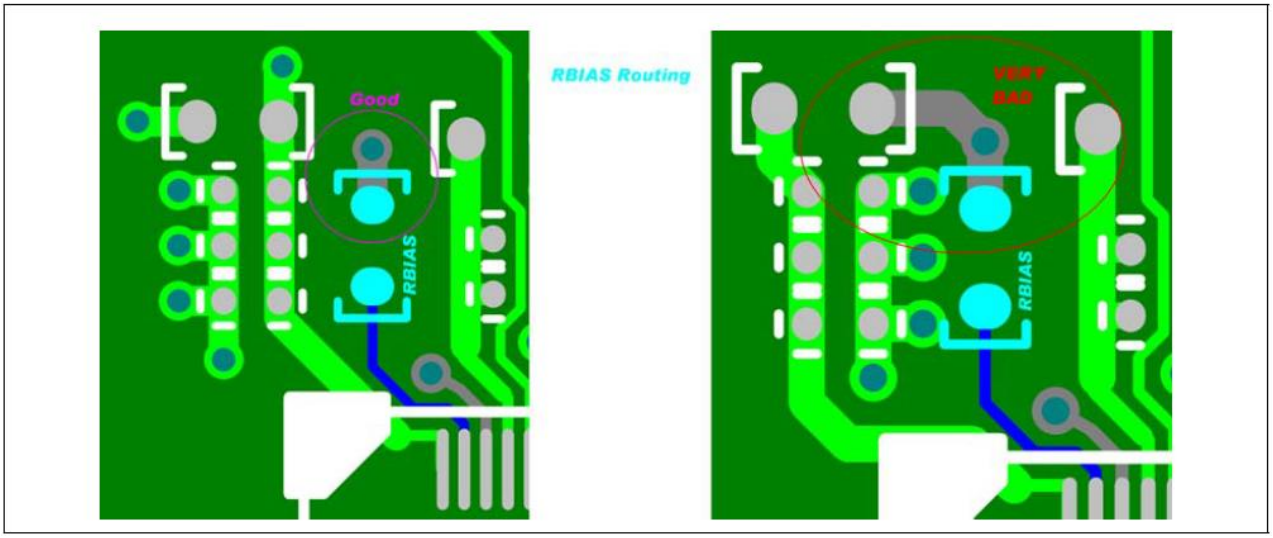
그림 2-1 : 예 바이 패스 커패시터의 배치 및 배선



□ E. 특히 플래그의 주위에 GND Pad에 vias를 채워 설계하시기 바랍니다. 용도는 VSS (Signal GND) 그리고 1차 열전도 경로에서 device package 열 제거용입니다 (Thermal PAD)

□ F. RBIAS는 Hub의 RBIAS 핀과 최대한 가까운 GND에 연결해야합니다. 이 RBIAS Return Routing은 다른 구성 요소와 공유 할 수 없습니다.

FIGURE 15: RBIAS RETURN ROUTING



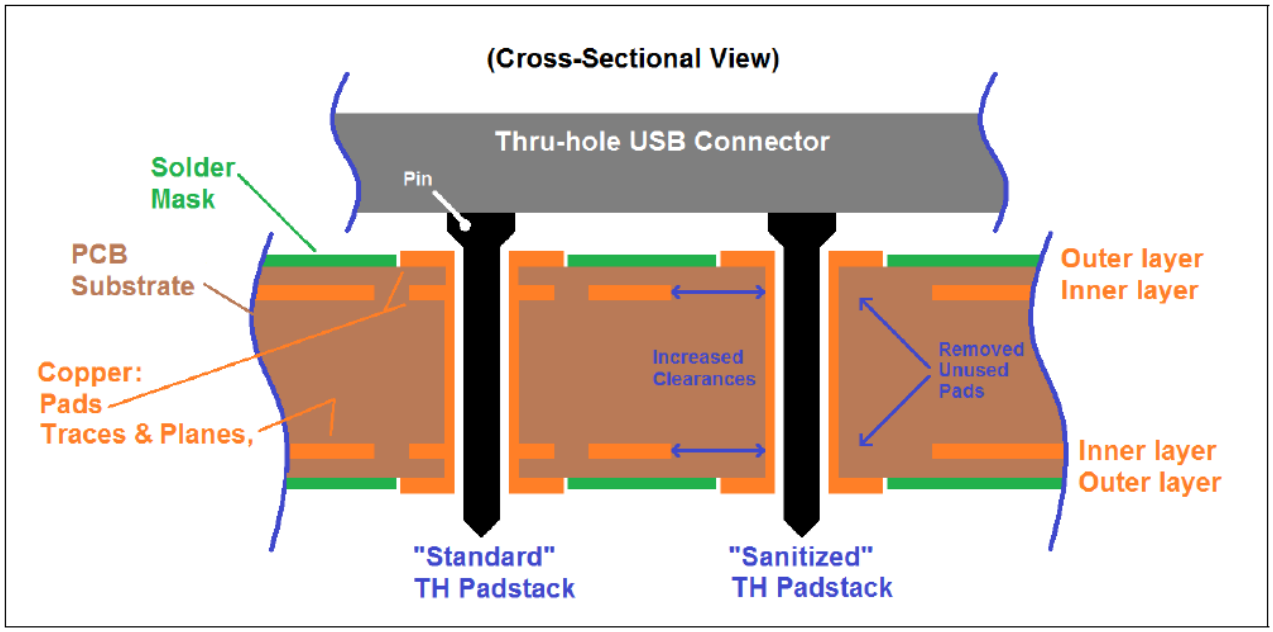
□ G. 특정 USB 커넥터의 선택은 USB의 SS 및 HS 신호의 전송 라인 특성에 상당히 영향을 미칠 수 있다. 어떻게 핀 padstacks 정의되는지 그리고 라우팅되는지가 또한 USB 전송 라인의 무결성(intigrity)에 크게 영향을 미칠 수 있습니다. 이러한 효과는 USB 3.1 USB 2.0 고속 신호보다 GEN 1 슈퍼 스피드 신호에 대한 더 명백하게 나타날 수 있습니다..

• Thru-Hole (TH) USB 커넥터(들)이 사용되어야하는 경우 상기 USB 전송선에 미치는 영향을 단순화하기 위해 USB 커넥터 핀의 Thru-Hole(TH), 패드 스택("Sanitize" padstack)이 수정되어야 합니다.

• 홀 형상에 의한 임피던스 불연속성 및 Capacitance를 제어하는 작업을 용이하게하기 위해 사용되지 않는 층에 핀 패드를 제거합니다.

• 경우 모든 레이어에 0.5mm의 이상이 가능 이러한 핀 주위에 clearance들을 늘리시기 바랍니다.

그림 2-2 THROUGH HOLE PAD-STACK



□ H. 가능하면 표면 실장용 USB 커넥터를 사용합니다. Thru-Hole USB 커넥터에 대해서는 PCB의 반대측의 Connector 장착에 의한 Thru-Hole 핀의 단부 중 하나를 통해 또는 비아의 사용을 통해 USB 신호를 전파합니다

□ I. 필요한 경우, Crystal Oscillator pins은 crystal pins들과 연결된 load capacitor들과 직접적으로 routing 되야 합니다. 최소한 trace 공간보다 다섯배 가깝지 않은 외부 Trace들이 이 Trace들로 Routing 되어야 합니다.

□ J. GND Flag와 QFN device용 패드 사이에 라우팅하지 마십시오. 보다 자세한 내용은 마이크로칩 AN18.15 애플리케이션 노트를 참조하십시오.